Общество с ограниченной ответственностью

"ИНСАЙТ-менеджмент"

УДК 004.78, 004.41

Инвентарный №

УТВЕРЖДАЮ:

Генеральный директор

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ И.К. Грибанова

«\_\_\_\_»\_\_\_\_\_\_\_\_\_\_\_ 2017 г.

О Т Ч Е Т

О НАУЧНО-ИССЛЕДОВАТЕЛЬСКОЙ

И ОПЫТНО-КОНСТРУКТОРСКОЙ РАБОТЕ (НИОКР)

Доработка и тестирование IoT контроллера для использования в системе управления энергоресурсами.

(промежуточный)

Этап № 1

Ген. директор

ООО «ИНСАЙТ-Электроникс» С.В. Грибанов

Руководитель НИОКР, к.т.н. А.В. Кычкин

Исполнитель С.А. Артемов

Пермь 2018СПИСОК ИСПОЛНИТЕЛЕЙ

Руководитель работы,

к.т.н. \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ А.В. Кычкин

подпись, дата

Исполнители темы:

Артемов С.А.

Реферат

Отчет 21 с., 2 рис.

**Цель работы –** целью работы является формирование базы отладочных средств, включающих оборудование, программно-аппаратные средства, алгоритмы и методы отладки и настройки оборудования и частей контроллера. А так же выявление возможных неисправностей, подготовка оборудования для тестирования и доработка ПО контроллера с целью повышения надежности оборудования.СОДЕРЖАНИЕ

[Реферат 3](#_Toc504145633)

[Перечень условных обозначений и сокращений 5](#_Toc504145634)

[ВВЕДЕНИЕ 6](#_Toc504145635)

[ОСНОВНАЯ ЧАСТЬ 7](#_Toc504145636)

[1 Структурная схема проекта трехфазного регистратора 7](#_Toc504145637)

[2 Описание Python Framework 9](#_Toc504145638)

[2.1 Описание разработки библиотечных модулей 11](#_Toc504145639)

[2.3 Пример использования стандартных функций 13](#_Toc504145640)

[3 Описание модуля ESP8266 14](#_Toc504145641)

[4 Описание модуля загрузчика 15](#_Toc504145642)

[5 Тестирование стабильности работы Ethernet соединения 17](#_Toc504145643)

[ЗАКЛЮЧЕНИЕ 20](#_Toc504145644)

Перечень условных обозначений и сокращений

CRC - Cyclic redundancy check. Циклический избыточный код

SoC – System on Chip. Система на кристалле

IGMP **-** Internet Group Management Protocol. Протокол управления группами Интернета.

LwIP - lightweight IP. TCP/IP-стек с открытым исходным кодом

OSI - open systems interconnection. Модель Взаимодействия Открытых Систем.

RTC – Real time clock. Часы реального времени.

SNTP - Simple Network Time Protocol. протокол синхронизации времени.

UART - Universal Asynchronous Receiver-Transmitter. Универсальный асинхронный приёмопередатчик.

ВВЕДЕНИЕ

Основным направлением работы данного этапа является формирование структуры проекта, его описание и дополнение ранее не рассмотренными функциональными блоками. Для этого, составлена общая структура системы, описано содержимое блоков, их функции и взаимосвязи.

Далее описана реализация ранее не реализованных блоков, их функционал и особенности реализации.

Основным узким местом системы является связь, так как основным каналом связи является Ethernet, его необходимо проверить в текущей реализации на устойчивость канала связи. Таким образом, произведено тестирование канала связи на физическом и транспортном уровне модели OSI.

ОСНОВНАЯ ЧАСТЬ

1 Отладочные средства контроллера

Все взаимодействие с контроллером осуществляется через отладочный интерфейс, который позволяет загрузить ПО и произвести поэтапный запуск функций прошивки с возможностью просмотра данных.

В качестве отладочного интерфейса для контроллера рассматривается, как правило, два варианта JTAG и SWD, оба интерфейса являются последовательным и имеют схожий функционал.

Однако интерфейс JTAG позволяет эмулировать работу контроллера и производить тестирование периферии, подключенной к нему. Таким образом, появляется возможность отладить не только ПО контроллера, но и диагностировать отказ периферии, которое выражается в непропаянных местах или отказе самих элементов схемы. Что позволяет быстро и точно определить нерабочие элементы платы.

Интерфейс SWD является следующим поколением JTAG, он работает по тем же принципам, но имеет более новый протокол, меньшую скорость и меньшее число проводов.

Микросхема устройства поддерживает оба варианта отладки. Наиболее популярным в среде разработки на контроллерах компании ST является отладчик ST-Link, который как раз работает по SWD. В связи с дороговизной оборудования диагностики по JTAG и возможности поэтапной отладки каждого элемента схемы, необходимость в данном интерфейсе отпадает.

1.2 Вывод отладочной информации

Для работы с устройством необходим вывод коротких сообщений в виде терминала взаимодействия. Существует множество вариантов вывода информации.

Во время отладки наиболее приемлемым вариантом является вывод в отладочный интерфейс, и здесь появляется два варианта вывода. Это канал SWO и канал непосредственно отладки. Во втором варианте по каналу отладки производится трассировка проекта по функциям и перенос сообщений от контроллера в терминал IAR. Во втором варианте канала трассировке не загружается и вся дополнительная отладочная информация выводится через пин SWO, однако необходим дополнительный терминал отладки по SWO, все зависит от отладчика. В проекте используется как ST-link, так и J-Link отладчик по мере необходимости. (рисунок 1.1, 1.2).

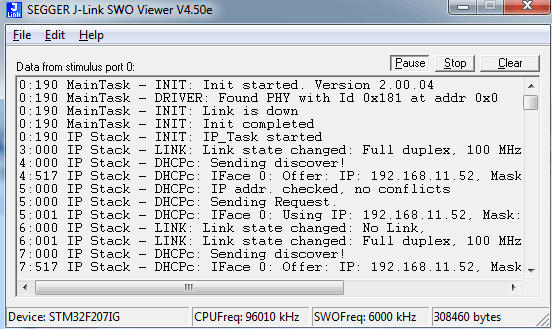


Рисунок 1.1 – SWO терминал отладчика J-LINK

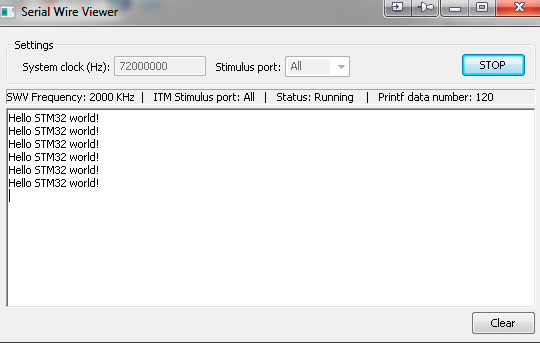


Рисунок 1.2 – SWO терминал ST-link отладчика

Для вывода информации достаточно в любой области кода указать функцию ***printf***, однако необходимо указать направление потока функции SWO или SWD (Рисунок 1.3).

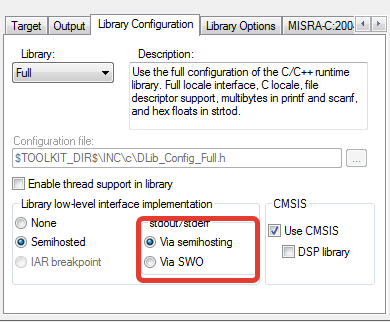


Рисунок 1.3 – настройка отладки в IAR

1.3 Дополнительные средства вывода отладочной информации

В качестве дополнительного канала отладки выступает USB порт. В канале параллельно по USB передаются данные настройки и управления. Для этого применен проприетарный протокол PD, который позволяет фильтровать поток данных от потока отладочной информации, что делает отладку наиболее простой в реализации (Рисунок 1.4).

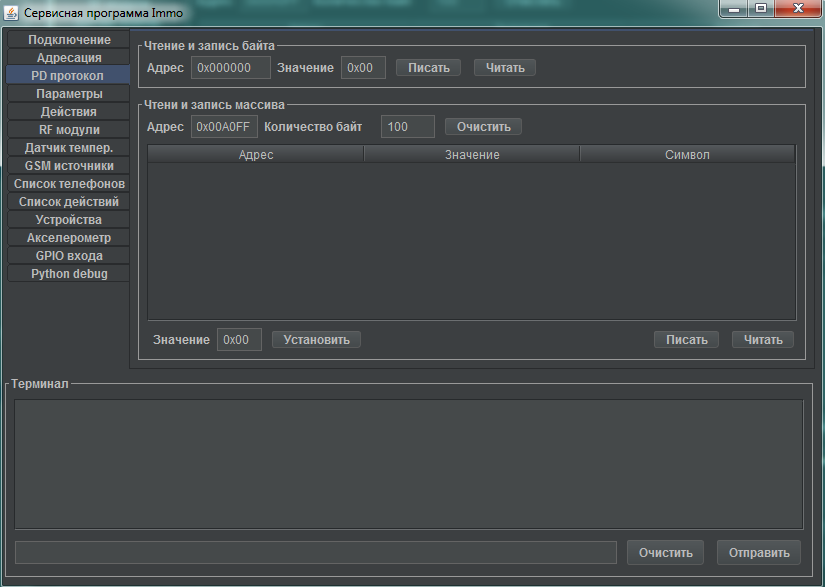


Рисунок 1.4 – интерфейс программы отладки и настройки по протоколу PD

Для реализации вывода сообщения отладчика реализована функция, которая позволяет принимать форматированную строку с параметрами, с перечислением параметров через запятую. Функция вывод сообщение в терминал отладчика и терминал виртуального последовательно порта USB.

***void DC\_debugOut(char \*str, ...)***

***{***

***va\_list args;***

***va\_start(args, str);***

***va\_end(args);***

***if (DBG\_Connected())***

***{***

***vprintf(str, args);***

***va\_end(args);***

***}***

***if (CDC\_Configured)***

***{***

***USB\_send\_str(str);***

***}***

***}***

В дополнении ко всему необходимо вести лог процессов, реализация которого представлена в предыдущем этапе.

2 Отладка интерфейсов взаимодействия периферии

В схеме устройства основные шинами взаимодействия являются I2C, SPI и UART.

Шина I2C используется для взаимодействия с EEPROM микросхемой. В библиотеки HAL драйверов есть специализированные функции взаимодействия с память, которые здесь используются. Для отладки канала связи используется диаграмма данных (Рисунок 1.4) и специализированное устройство – логический анализатор (Рисунок 1.5).

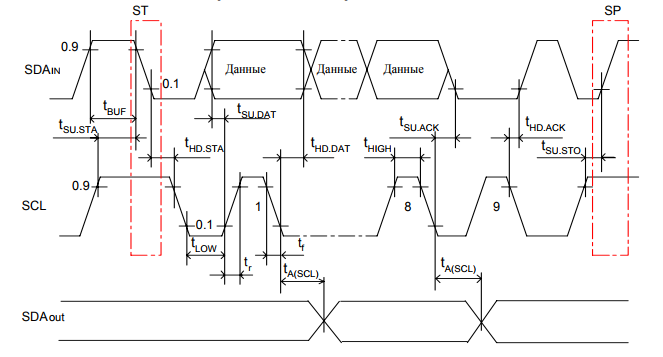


Рисунок 1.4 – временная диаграмма шины I2C микросхемы 24LC04B



Рисунок 1.5 – логически анализатор sale logic

Существуют два типа подключения: низкоскоростное 100КГц и высокоскоростное 400КГц, все данные скорости анализатор позволяет принимать и обрабатывать, используя совместимые протоколы данных (рисунок 1.6). 24LC04B подключается на обеих скоростях, все таймауты можно видеть наглядно и определить неправильное подключение или работу драйвера.

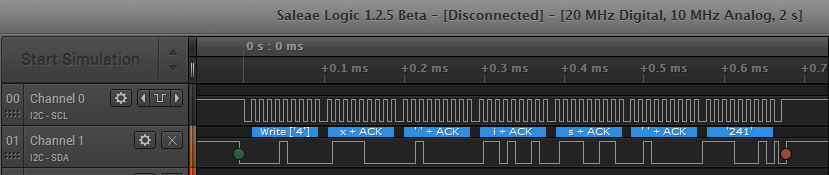


Рисунок 1.6 – интерфейс логического анализатора с отладкой I2C

Шина SPI так же популярна, она является высокоскоростной, однако отладка производится сначала на более низкой скорости, затем скорость поднимается в зависимости от устойчивости связи, которая зависит не только от схемотехники, но и от разводки платы и ЭМС.

В устройстве SPI используется для связи с микросхемами – анализаторами сети V9203. В устройстве 4 микросхемы, которые подключены по одной шине, распределение потоков выполняется пинами CS – выбора чипа. Анализатор так же поддерживает протокол SPI с возможностью подключения пинов CS, что будет показывать какой чип сейчас взаимодействует с контроллером.

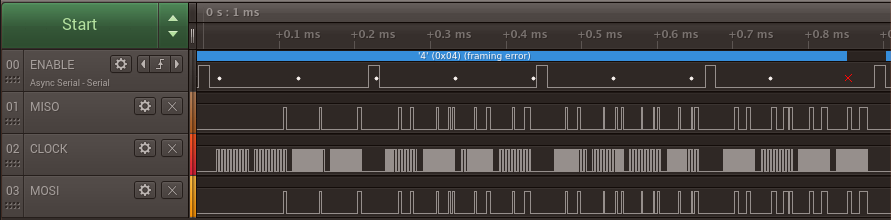


Рисунок 1.7 – отладка шины SPI

Например, как видно из графиков (рисунок 1.7) пин CS срабатывает, когда изменяется в логический 0, при каждых 4-х байтах отправки, хотя некоторые микросхемы требуют сброса CS при каждой посылке.

Интерфейс UART, так же может быть отлажен через логический анализатор, однако это становиться не удобным и низкоскоростным решением, в данном случае применяется преобразователь USB – UART и терминал вывода данных, наиболее удобный вариант terraterm.

3 Отладочные средства интерфейса RS485/Modbus RTU

Отладка RS485 с протоколом Modbus RTU требует дополнительного оборудования и ПО. Для подключения к компьютеру необходим преобразователь RS485-USB, представляющий собой по сути USB-UART с полудуплексной связью (Рисунок 1.8).

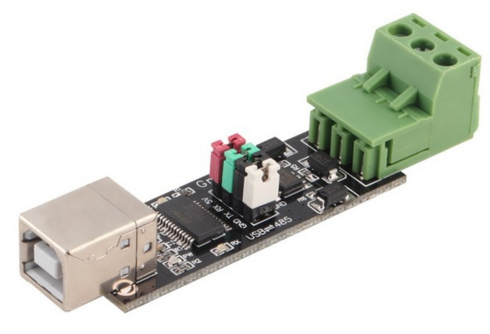


Рисунок 1.8 – преобразователь RS485-USB

Если устройство является конечным, необходимо подключить терминальный резистор на преобразователе – 120 Ом.

Устройство работает в режиме ведомого (Slave), таким образом, необходимо использовать ПО, работающее в режиме ведущего (Master).

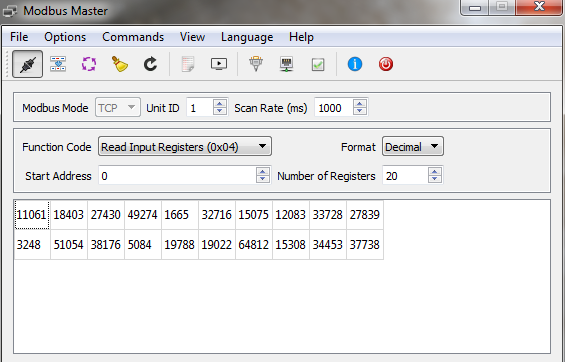


Рисунок 1.9 – интерфейс программы QModMaster

В качестве ПО наиболее простым и удобным является программа QModMaster, она позволяет работать не только с Modbus RTU, но и Modbus TCP. Что делает ее универсальной для последующего применения.

4 Отладочные средства части измерения процессов силовой сети

В устройстве установлены 4 микросхемы измерения параметров трехфазной сети, которые работают на три фазы и нулевой провод, каждая микросхема по очереди общается по шине SPI с контроллером и параллельно производит изменения параметров. Для эмуляции работы сети необходимо смоделировать нагрузку на каждый канал, при этом изменять параметры нагрузки и сети.

4.1 Макет потребителя

Так как по факту имеется лишь одна фаза, необходимо произвести преобразование однофазного напряжения в трехфазное. Самый простой способ – это работа с преобразователем частоты для трехфазного двигателя.